

4

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-150659

(43)Date of publication of application : 31.05.1994

(51)Int.Cl. G11C 11/41  
G11C 7/00  
G11C 11/401

(21)Application number : 04-302090

(71)Applicant : NEC CORP

(22)Date of filing : 12.11.1992

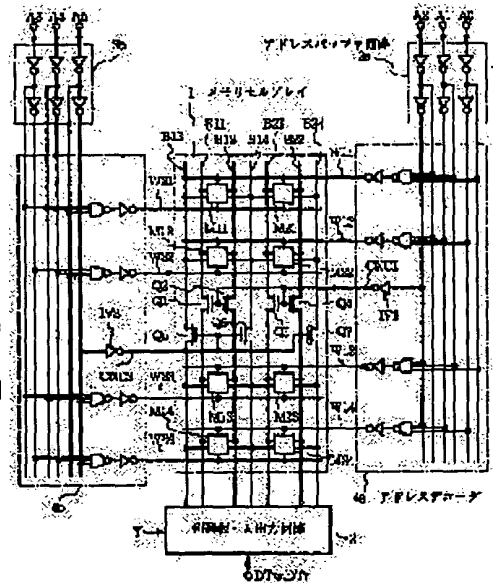
(72)Inventor : KANDA HIRONORI

## (54) SEMICONDUCTOR MEMORY DEVICE

## (57)Abstract:

PURPOSE: To shorten an access time to a selected memory cell.

CONSTITUTION: Respective bit lines B11-B14, B21-B24 are cut off to be plural lines. The cut parts of these bit lines are provided with transistors Q1-Q7 turned on/off by means of connection control signals CNC1, CNC2 and controlling the connection/dis-connection between the cut-off bit lines. In address buffer circuits 3a, 3b and address decoders 4a, 4b, connection control means (IV1, IV2, etc.) for turning on all transistors on the corresponding port located nearer to a column selection input/output circuit 2 than the cut-off bit line connected to a memory cell in a selected state and turning off all transistors on the corresponding port farther from the circuit 2 are provided.



## LEGAL STATUS

[Date of request for examination] 24.12.1996

[Date of sending the examiner's decision of rejection] 14.09.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-150659 ✓

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/41

7/00

3 1 2 B 6741-5L

11/401

6741-5L

G 1 1 C 11/ 34

K

6741-5L

V

審査請求 未請求 請求項の数2(全 8 頁) 最終頁に続く

(21)出願番号

特願平4-302090

(22)出願日

平成4年(1992)11月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 神田 浩典

東京都港区芝五丁目7番1号日本電気株式  
会社内

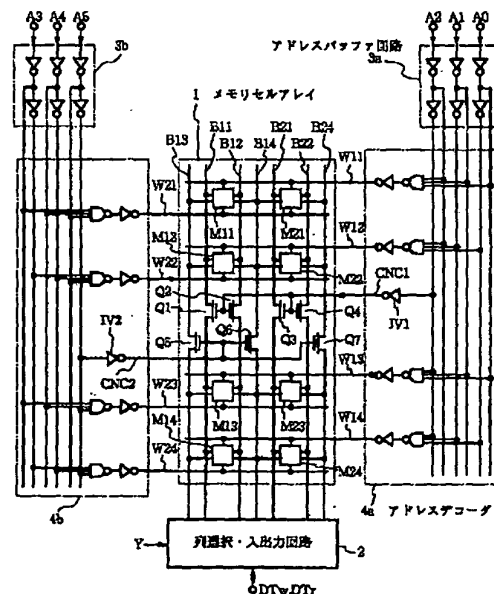
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 選択メモリスルのアクセス時間を短縮する。

【構成】 各ビット線B11~B14, B21~B24のそれぞれを複数本に切断する。これらビット線の切断部分に接続制御信号CNC1, CNC2によりオン、オフし切断されたビット線間の接続、非接続を制御するトランジスタQ1~Q7を設ける。アドレスバッファ回路3a, 3b, アドレスデコーダ4a, 4b内に、選択状態のメモリスルと接続する切断されたビット線より列選択・入出力回路2に近い方の対応するポートの上記トランジスタ全てをオンにし、遠い方の対応するポートの上記トランジスタ全てをオフにする接続制御手段(IV1, IV2等)を設ける。



B11~B14, B21, B22, B24... ビット線 Q1~Q7... トランジスタ  
M11~M14, M21~M24... メモリスル IV1, IV2... インバータ  
W11~W14, W21~W24... ワード線

## 【特許請求の範囲】

【請求項1】 行方向、列方向にマ リクス状に配列された複数のメモリセル、これら複数のメモリセルへのデータ及びこのメモリセルからのデータを伝達する複数の線、並びに選択レベルのとき前記複数のメモリセルを行単位で選択状態とする複数のワード線を備えたメモリセルアレイと、前記複数の線のそれぞれの一端と接続し列アドレス信号に従って前記複数の線のうちの所定の線を選択してこの選択された線に書き込み用のデータを伝達しかつこの選択された線に伝達されたメモリセルからのデータを出力する列選択・入出力回路と、行アドレス信号に従って前記複数のワード線のうちの所定のワード線を選択レベルとするアドレスデコーダとを有する半導体記憶装置において、前記複数の線のそれぞれを前記複数のワード線のうちの所定のワード線に沿って切断し、前記複数の線の各切断部分に接続制御信号に従ってオン、オフし切断された線間の接続・非接続を制御するランジスタを設け、前記複数のメモリセルのうちの所定のメモリセルが選択状態のとき、この選択状態のメモリセルと接続する前記切断された線より前記列選択・入出力回路に近い方の前記ランジスタを全てオンにし遠い方の前記ランジスタを全てオフにする前記接続制御信号を発生する接続制御手段を設けたことを特徴とする半導体記憶装置。

【請求項2】 複数のメモリセルのそれぞれが第1及び第2のデータ出力端をもち、これらメモリセルのデータを伝達する線のそれぞれが前記第1及び第2のデータ入出力線とそれぞれ対応して設けられた第1及び第2の線で構成され、前記複数のメモリセルの互いに隣接する列の近接した第1及び第2の線を1本の線で共用するようにした請求項1記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体記憶装置に関し、特に情報の読み出し及び書き込みを同時に行なえるマルチポー型の半導体記憶装置に関する。

## 【0002】

【従来の技術】従来この種の半導体記憶装置の一例を図4(A)、(B)に示す。この半導体記憶装置は、行方向、列方向にマ リクス状に配列され第1のポー用の第1及び第2のデータ入出力端N1、N2と第2のポー用の第3及び第4のデータ入出力端N3、N4とをもつ複数のメモリセルM11～M14、M21～M24、これらメモリセルの各列とそれぞれ対応しかつ第1～第4のデータ入出力端N1～N4とそれぞれ対応して設けられ対応する列の選択状態のメモリセルへのデータ及びこのメモリセルからのデータを伝達する複数の第1～第4の線B11～B14、B21～B24、並びに

選択レベルのとき複数のメモリセルを行単位で選択状態とする第1及び第2のポー用の複数の第1及び第2のワード線W11～W14、W21～W24を備えたメモリセルアレイ1bと、複数の第1～第4の線B11～B14、B21～B24のそれぞれの一端と接続し列アドレス信号Yに従ってこれら複数の第1～第4の線のうちの1組を選択しこの選択された線に書き込み用のデータDTWを伝達しかつ選択された線からのデータ(DTW)を出力する列選択・入出力回路2と、行アドレス信号A0、A1、A2、A3を取込みこれらの正補の信号を出力する第1及び第2のポー用のアドレスバファ回路3c、3dと、アドレスバファ回路3cからの行アドレス信号A0、A1の正補の信号により複数の第1のワード線W11～W14のうちの所定のワード線を選択レベルとする第1のポー用のアドレスデコーダ4eと、アドレスバファ回路3dからの行アドレス信号A2、A3の正補の信号により複数の第2のワード線W21～W24のうちの所定のワード線を選択レベルとする第2のポー用のアドレスデコーダ4fとを有する構成となっている。

## 【0003】

【発明が解決しようとする課題】この従来の半導体記憶装置においては、行アドレス信号A0～A3の正補の信号に従ってワードW11～W14、W21～W24を選択レベルに駆動するために、これら行アドレス信号A0～A3の正補の信号線がメモリセルアレイ1bの列と平行に走っており、これら信号線には信号線そのものの寄生容量や、これら信号線と接続する回路素子容量等により、信号源から遠ざかるに従ってその信号の伝達時間が長くなり、また、第1～第4の線B11～B14、B21～B24にもそれぞれ自身の寄生容量や接続された回路素子の容量により、データの伝達時間が長くなるため、アクセス時間が長くなるという欠点があった。

【0004】更に、同時にデータの書き込みと読み出しを行うことのできるデュアルポー型となっているため、シングルポー型に比べ、ワード線及び線の本数が、それぞれ2倍に増えるため、同メモリ容量のものと比較すると、メモリセルアレイの面積は約4倍になり、ワード線長及び線長は共に2倍となる。このためシングルポー型に比べてもアクセス時間が長くなるという問題点があった。

## 【0005】

【課題を解決するための手段】本発明の半導体記憶装置は、行方向、列方向にマ リクス状に配列された複数のメモリセル、これら複数のメモリセルへのデータ及びこのメモリセルからのデータを伝達する複数の線、並びに選択レベルのとき前記複数のメモリセルを行単位で選択状態とする複数のワード線を備えたメモリセルアレイと、前記複数の線のそれぞれの一端と接続し列アドレス信号に従って前記複数の線のうちの所

## 3

定の線を選択してこの選択された線に書込み用のデータを伝達しかつこの選択された線に伝達されたメモリセルからのデータを出力する列選択・入出力回路と、行アドレス信号に従って前記複数のワード線のうちの所定のワード線を選択レベルとするアドレスデコーダとを有する半導体記憶装置において、前記複数の線のそれぞれを前記複数のワード線のうちの所定のワード線に沿って切断し、前記複数の線の各切断部分に接続制御信号に従ってオン、オフし切断された線間の接続・非接続を制御するランジスタを設け、前記複数のメモリセルのうちの所定のメモリセルが選択状態のとき、この選択状態のメモリセルと接続する前記切断された線より前記列選択・入出力回路に近い方の前記ランジスタを全てオンにし遠い方の前記ランジスタを全てオフにする前記接続制御信号を発生する接続制御手段を設けた構成を有している。

【0006】また、複数のメモリセルのそれぞれが第1及び第2のデータ出力端をもち、これらメモリセルのデータを伝達する線のそれぞれが前記第1及び第2の線で構成され、前記複数のメモリセルの互いに隣接する列の近接した第1及び第2の線を1本の線で共用するようにした構成を有している。

【0007】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0008】図1は本発明の第1の実施例を示す回路図である。

【0009】この実施例が図4に示された従来の半導体記憶装置と相違する点は、互いに隣接する列の近接した線(B14, B23)を1本の線B14で共用するようにし、線B11~B14, B21, B22, B24のそれぞれをワード線W22, W13に沿ってこれらワード線の間で切断し、これらの切断された部分に接続制御信号CNC1, CNC2に従ってオン、オフし切断された線間の接続・非接続を制御するランジスタQ1~Q7を設け、メモリセルM11~M14, M21~M24のうちの所定のメモリセルが選択状態のとき、この選択状態のメモリセルと接続する上記切断された線より列選択・入出力回路2に近い方の対応するポー側の上記ランジスタを全てオンにし遠い方の対応するポー側の上記ランジスタを全てオフにする接続制御信号CNC1, CNC2を発生する接続制御手段を、アドレスバファ回路3a, 3b、アドレスデコーダ4a, 4bに対する行アドレス信号をそれぞれ3(A0~A2, A3~A5)とし、かつインバータIV1, IV2を付加してこれらアドレスバファ回路3a, 3b、アドレスデコーダ4a, 4b内に設けた点にある。

【0010】次にこの実施例の動作について説明する。

【0011】今、行アドレス信号A0~A2が(00

## 4

0)となり、メモリセルM11, M21が選択状態になったとする。このとき、接続制御信号CNC1は高レベルとなるので、ランジスタQ1~Q4がオンとなり、分割された複数の線B11, B12, B21, B22はそれぞれ接続され、列選択・入出力回路2と接続される。従って従来例と同様にメモリセルM11, M21に対するデータの書込み、読出しができる。

【0012】行アドレス信号A0~A2が(111)になると、メモリセルM14, M24が選択状態となる。

10 このとき接続制御信号CNC1は低レベルとなるので、ランジスタQ1~Q4はオフとなり、分割された複数の線B11, B12, B21, B22のうちの列選択・入出力回路2から遠い方の側の線が切離される。従って、列選択・入出力回路2と接続する線の長さが短くなり、これら線に寄生、付加される容量が少なくなり、アクセス時間を短くすることができる。

【0013】アドレスデコーダ4a, 4bに対する行アドレス信号の正補の信号源であるアドレスバファ回路3a, 3bを列選択・入出力回路2に対して遠い方に設けると、列選択・入出力回路2から遠い方のメモリセル(M11, M21側)に対するアクセスは、行アドレス信号の正補の信号の伝達時間が短かいので、アクセスも短い。しかし、列選択・入出力回路2に近い方のメモリセル(M14, M24側)に対するアクセスは、行アドレス信号の正補の信号の伝達時間が長くなるので、アクセス時間が長くなるが、このとき、線(例えばB11, B12, B21, B22)を途中で切断し列選択・入出力回路2と接続するこれら線の寄生、付加容量を低減することにより、その分アクセス時間を短縮することがきる。

【0014】この状態を図2に示す。図2のtが線切断によるアクセス時間の短縮された時間である。また、第2のポー側の線(図4のB14, B23)を1本の線B14で共用するようにしたので、メモリセルアレイ1の面積を縮小することができ、従ってワード線の長さが短くなり、アクセス時間を短縮することがきる。

【0015】図3は本発明の第2の実施例を示す回路図である。

【0016】この実施例は、第1の実施例に比べ、各線の分割を更に細かくした例である。

【0017】このように細分化することにより、行アドレス信号の正補の信号の伝達時間が長いところ程線の寄生、付加容量が小さくなるので、列選択・入出力回路2からの遠近による差は更に少なくなり、従って更にアクセス時間が短縮される。

【0018】

【発明の効果】以上説明したように本発明は、各線を複数本に切断し、これら切断部分に切断された

## 5

線間の接続、非接続を制御する ランジスタを設け、これら ランジスタのオン、オフを、選択状態のメモリセルが接続された 線より列選択・入出力回路に近い方の対応するポー の ランジスタは全てオンにし遠い方の対応するポー の ランジスタはオフにする接続制御手段を設けた構成とすることにより、アドレスデコーダによる行アドレス信号の正補の信号の伝達時間が長いところ程 線の寄生、付加容量が小さくなるので、全体のアクセス時間を短くすることができ、また、互いに隣接する列の近接する 線を1本で共用する 10 ようにすることにより、メモリセルアレイの面積を小さくできるので、アクセス時間を短縮することができる効果がる。

【図面の簡単な説明】

## 6

【図1】本発明の第1の実施例を示す回路図である。

【図2】図1が示された実施例の動作及び効果を説明するためのワード線対アクセス時間の特性図である。

【図3】本発明の第2の実施例を示す回路図である。

【図4】従来の半導体記憶装置の一例を示す回路図である。

【符号の説明】

1, 1a, 1b メモリセルアレイ

2 列選択・入出力回路

3a~3b アドレスバファ回路

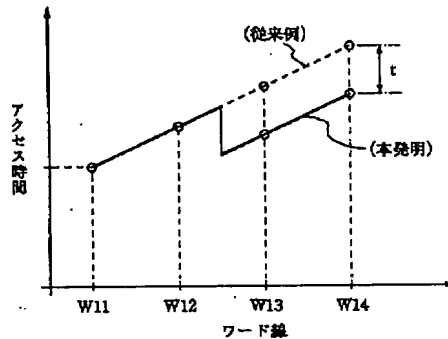
4a~4f アドレスデコーダ

B11~B14, B21~B24 線

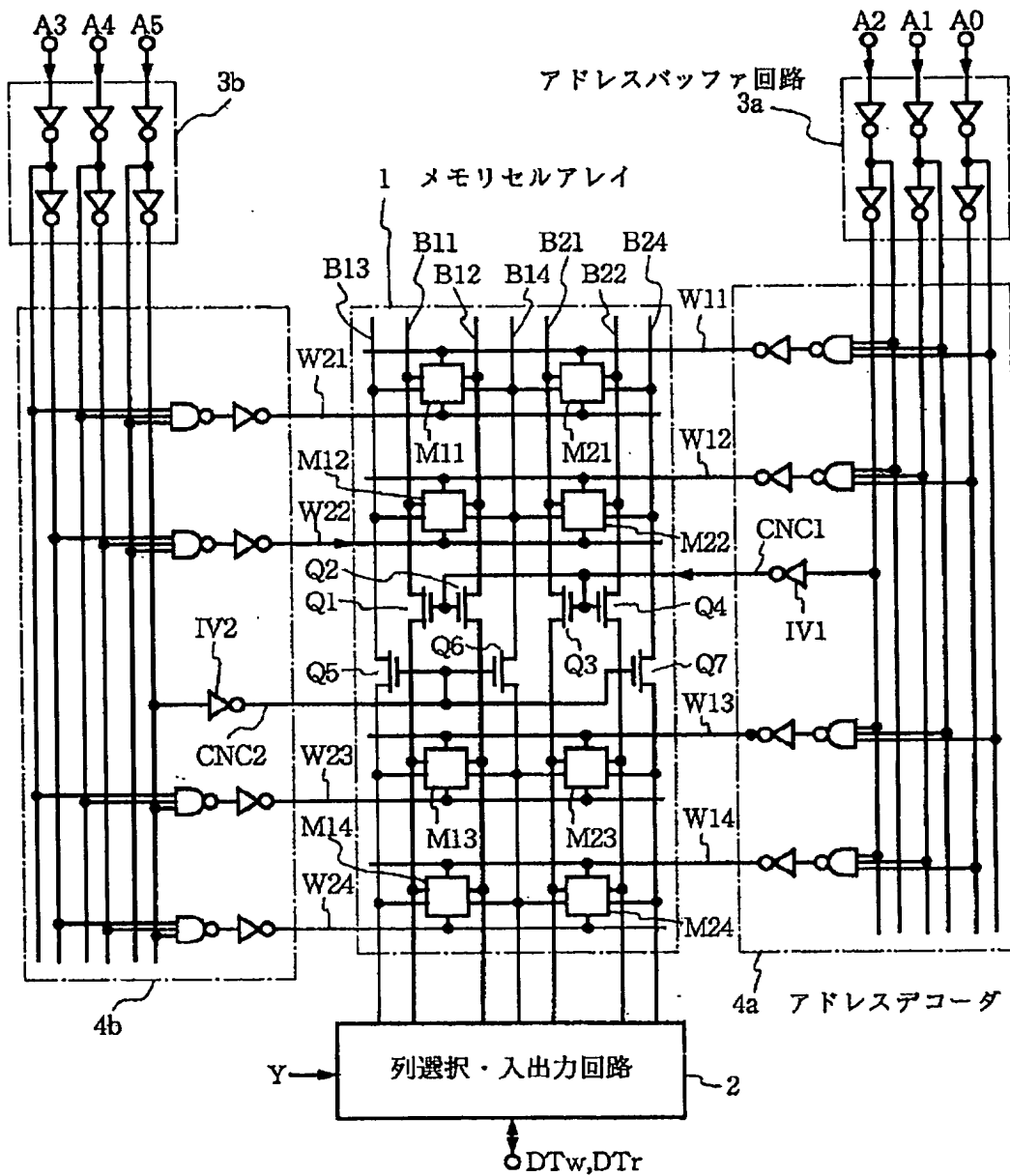
Q1~Q14 ランジスタ

W11~W14, W21~W24 ワード線

【図2】

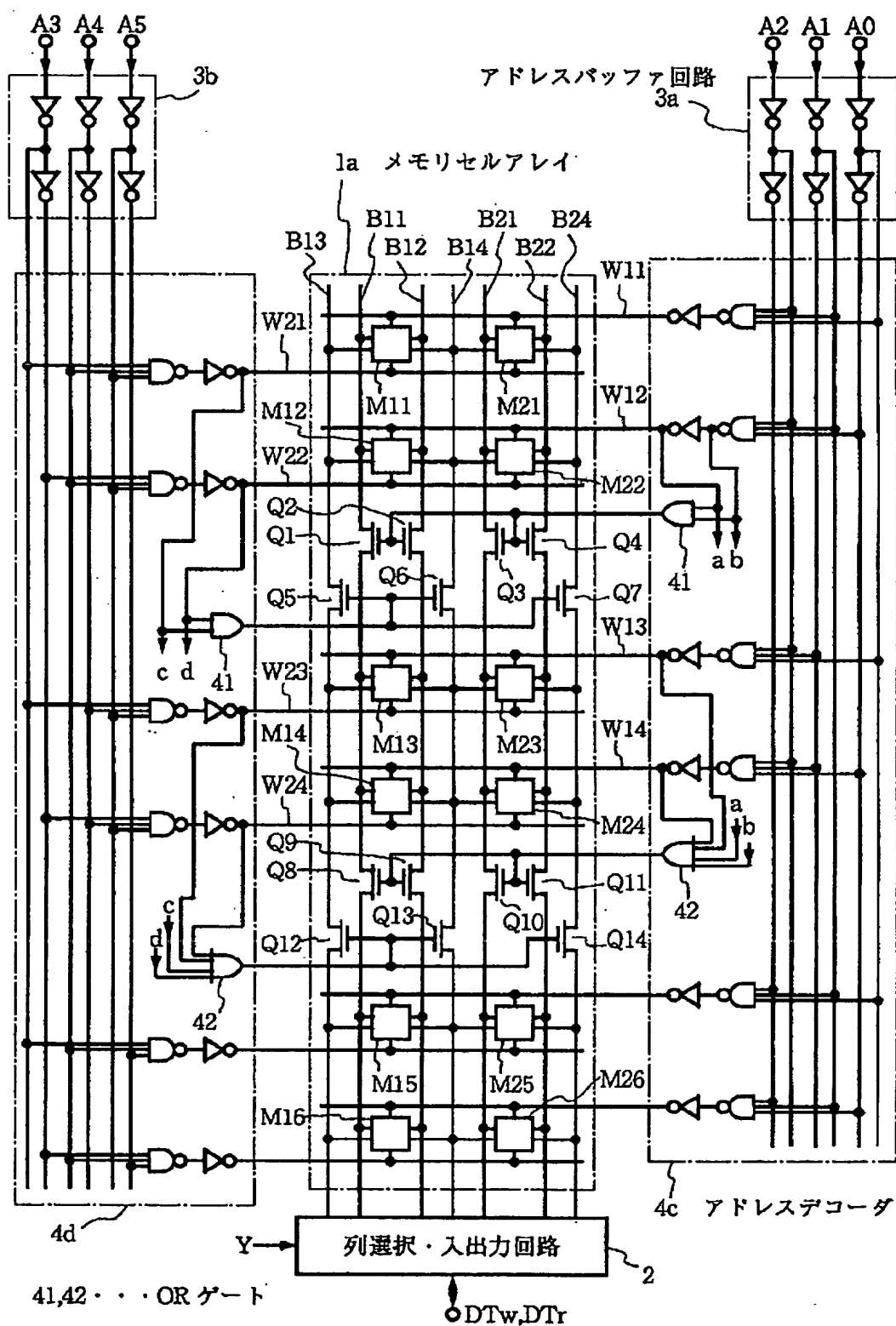


【図1】



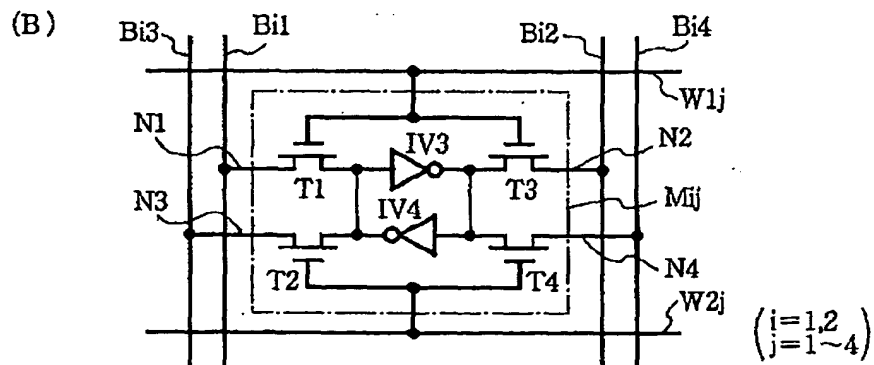
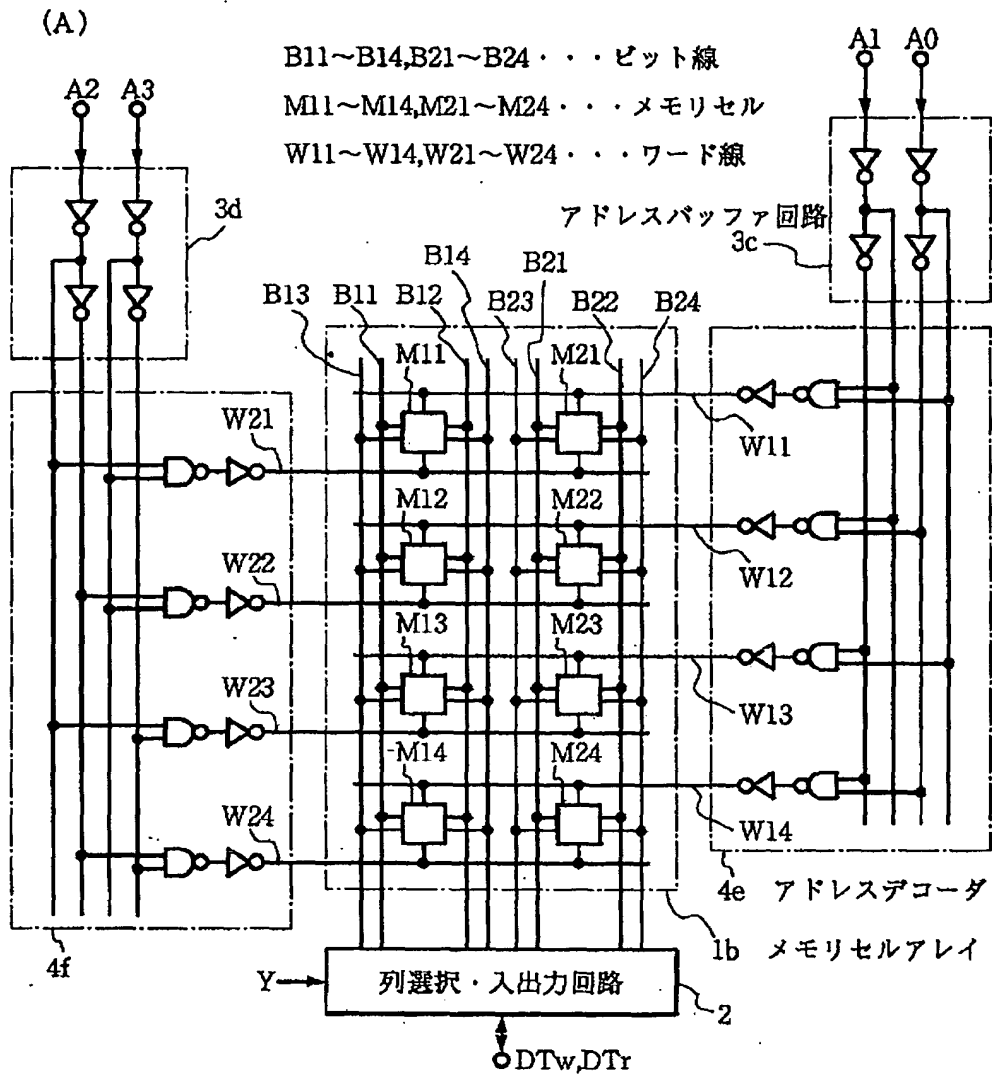
B11~B14, B21, B22, B24 . . . ビット線      Q1~Q7 . . . トランジスタ  
 M11~M14, M21~M24 . . . メモリセル      IV1, IV2 . . . インバータ  
 W11~W14, W21~W24 . . . ワード線

【図 3】





【図4】



(8)

特開平 6 - 1 5 0 6 5 9

フロン ページの続き

(51) Int. Cl. <sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

6741-5L

G 1 1 C 11/34

3 6 2 G